

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-159070

(43)Date of publication of application : 19.06.1990

(51)Int.Cl.

H01L 29/784

(21)Application number : 63-314028

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.12.1988

(72)Inventor : AKAMATSU SUSUMU

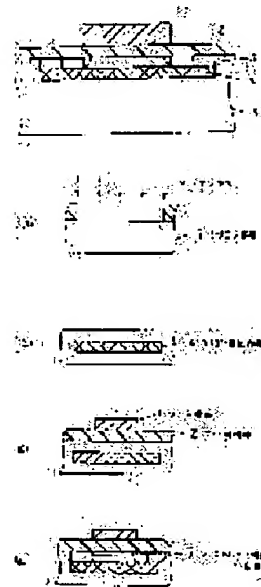
## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To inhibit the lowering of the mobility of carriers, and to prevent abnormal currents from flowing between a source and a drain by forming an insulator layer having a dielectric constant lower than that of the material of a semiconductor substrate in depth at a specific distance from the interface of a gate insulating film and the semiconductor substrate.

**CONSTITUTION:** A semiconductor device is shaped by forming a silicon nitride layer 4 at a position in the depth of several hundred nanometers from the interface of a gate insulating film 2 and a silicon substrate 5 in the lower sections of a gate electrode 1 and source-drain region diffusion region layer 3. Sections except a region, in which the semiconductor device is shaped, on the silicon substrate 5 are masked, and nitrogen ions are implanted into the silicon substrate through an implantation method, thus forming the silicon nitride region 4. The gate insulating film is shaped, the gate electrode is formed, and source- drain regions are shaped.

Accordingly, the silicon nitride region having a dielectric constant lower than silicon is formed under a section as a channel in the semiconductor device constituted, thus relaxing concentration on the channel section of a silicon substrate surface of voltage applied to the gate electrode, then inhibiting the lowering of the mobility of carriers.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A)

平2-159070

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月19日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 0 1 X

審査請求 未請求 請求項の数 4 (全4頁)

⑭ 発明の名称 半導体装置とその製造方法

⑯ 特 願 昭63-314028

⑰ 出 願 昭63(1988)12月13日

⑱ 発 明 者 赤 松 晋 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑳ 代 理 人 弁理士 栗野 重孝 外1名

## 明 細 書

## 1、発明の名称

半導体装置とその製造方法

## 2、特許請求の範囲

- (1) ゲート絶縁膜と半導体基板の界面から数百ナノメートルの深さに半導体基板材料の誘電率より低い誘電率をもつ絶縁物領域を有することを特徴とする半導体装置。
- (2) 絶縁物領域をシリコン窒化物とすることを特徴とする特許請求の範囲第1項記載の半導体装置。
- (3) 絶縁物領域をシリコン酸化物とすることを特徴とする特許請求の範囲第1項記載の半導体装置。
- (4) 半導体装置のゲート部分及びソース・ドレイン領域拡散層の形成前に絶縁物領域を形成する工程を有することを特徴とする半導体装置の製造方法。

## 3、発明の詳細な説明

産業上の利用分野

本発明は半導体装置とその製造方法に関するものである。

## 従来の技術

第5図は従来の半導体装置の一般的な製造図を示すものであり、1はゲート電極、2はゲート絶縁膜、3はソース・ドレイン領域拡散層、5はシリコン基板であり以上のように構成された従来の半導体装置に於いてはゲート電極1に印加された電圧はゲート絶縁膜2とシリコン基板5の表面のみに加わっていた。

第6図は従来の半導体装置の基本的な製造工程を示すものであり、従来の方法ではソース・ドレイン領域拡散層の深さは熱処理時間に影響を受けていた。

## 発明が解決しようとする課題

上記のような製造方法、及び構造による半導体装置ではその集積度が高まり、半導体装置が微細化し、ゲート絶縁膜が薄くなると半導体基板表面に加わる電圧が増し、電界が強くなるため半導体基板表面を移動するキャリアの移動速度の低下を

引き起こし、またソース・ドレイン領域拡散層が深いためソース・ドレイン領域各々から広がった空乏層が半導体基板の深い位置でつながり異常動作を引き起こすという問題を有していた。

本発明はかかる点に鑑み、ゲート電極に印加した電圧が半導体基板表面に集中するのを防ぐための層を設け、さらにソース・ドレイン領域拡散層の深さを浅くし、かつ空乏層の広がりを防ぐ構造の半導体装置、及びその製造方法を提供することを目的とする。

#### 課題を解決するための手段

本発明は、ゲート絶縁膜と半導体基板界面から数百ナノメートルの深さに半導体基板材料の誘電率より低い誘電率をもつ絶縁物層を備えた半導体装置である。

#### 作 用

本発明は前記した構成により、ゲート電極に印加された電圧が低い誘電率の絶縁物層に分圧され半導体表面に形成されるチャネルに加わる電界を和らげることが可能となる。又ソース・ドレイン

窒化物領域が形成されるためゲート電極に印加された電圧がシリコン基板表面チャネル部分に集中することを和らげることができ、キャリアの移動度の低下を抑えることが可能となる。又本実施例の製造方法によりシリコン窒化物にソース・ドレイン領域の不純物の拡散を止める働きがあるため以降の熱処理工程における制限を緩和することができる。

第3図は本発明の第2の実施例における半導体装置の断面構造図を示すものである。第2図においてゲート電極1の下部にゲート絶縁膜とシリコン基板界面から数百ナノメートルの深さの位置にシリコン酸化物領域を設けたものである。

第4図は本発明の第3の実施例における半導体装置の製造方法を示すものである。第4図に示す様にシリコン基板上のチャネルとなる部分にシリコン酸化物の島を形成し、エピタキシャル成長によりシリコン層を成長させ以降従来の方法に従いゲート絶縁膜形成、ゲート電極形成、ソース・ドレイン領域形成をへて完了する。以上のように構

から空乏層が広がり半導体基板の深い所でつながり電流の流れるのを絶縁物層があるため防止できる。

#### 実 施 例

第1図は本発明の第1の実施例における半導体装置の断面構造図を示すものである。第1図においてゲート電極1及びソース・ドレイン領域拡散層3の下部にゲート絶縁膜2とシリコン基板5の界面から数百ナノメートルの深さの位置に、シリコン窒化物層4を設けたものである。

第2図は本発明の第1の実施例における半導体装置の製造方法を示すものである。第3図に示すようにシリコン基板上に半導体装置を作る領域以外にマスクをして、チャソイオンをイオンを注入法によりシリコン基板中に注入し、シリコン窒化物領域を形成する。以降は従来の製造方法と同じくゲート絶縁膜を形成後、ゲート電極を形成し、ソース・ドレイン領域を形成する。以上のように構成された本実施例の半導体装置はチャネルとなる部分の下にシリコンより誘電率の低いシリコン

成された本実施例の半導体装置は第1の実施例と同様にチャネル部の下にシリコンより誘電率の低い絶縁物領域を形成できキャリアの移動度の低下を抑えることができる。

#### 発明の効果

以上説明したように本発明によれば従来の製造方法に少し工程を加えるだけで実現できる構造によりキャリアの移動度の低下を抑え、ソース・ドレイン間に流れる異常な電流を防止することができその実用的効果は大きい。

#### 4、図面の簡単な説明

第1図は、本発明における一実施例の半導体装置の断面構造図、第2図は同実施例の概略製造方法の工程断面図、第3図は、本発明の他の実施例の半導体装置の断面構造図、第4図は、同実施例の概略製造方法の工程断面図、第5図は、従来の半導体装置の一般的な構造の断面図、第6図は従来の概略製造方法の工程断面図である。

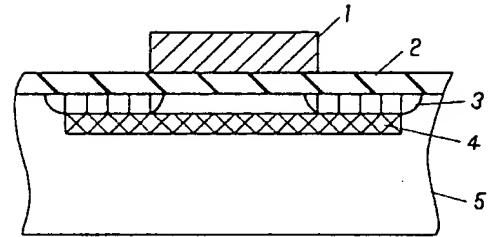
2……ゲート絶縁膜、3……ソース・ドレイン領域拡散層、4……シリコン窒化物、6……シリ

コン酸化物。

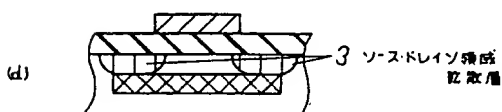
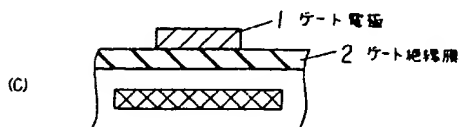
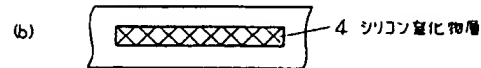
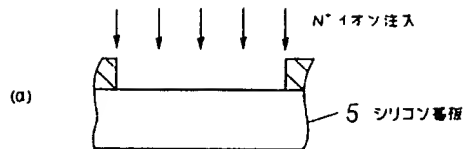
代理人の氏名 弁理士 栗野重孝 ほか1名

- 1 ... ゲート電極
- 2 ... ゲート絶縁膜
- 3 ... ソース・ドレイン領域拡散層
- 4 ... シリコン窒化物膜
- 5 ... シリコン基板

第 1 図

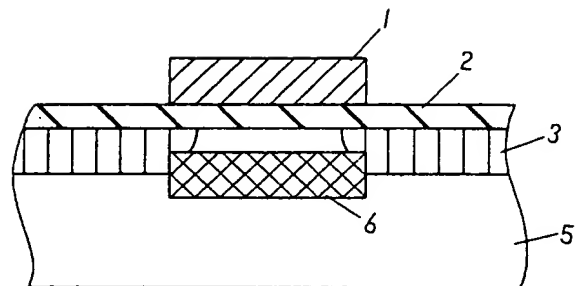


第 2 図

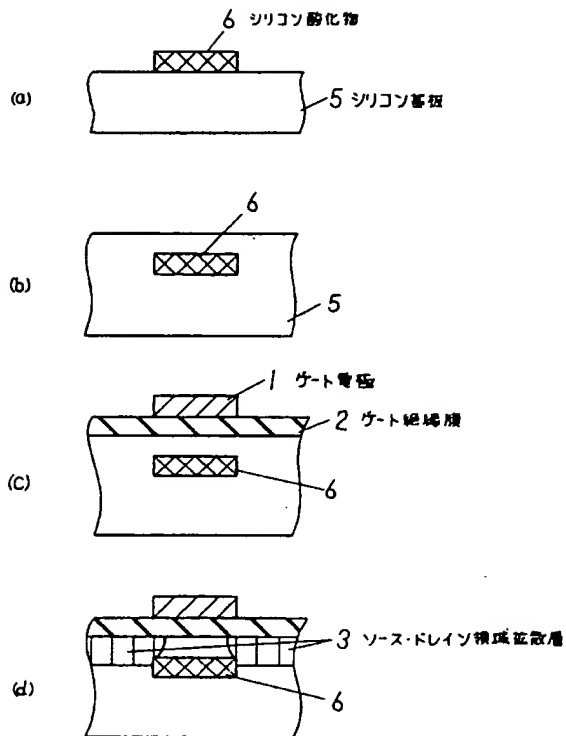


- 1 ... ゲート電極
- 2 ... ゲート絶縁膜
- 3 ... ソース・ドレイン領域拡散層
- 5 ... シリコン基板
- 6 ... シリコン酸化物

第 3 図

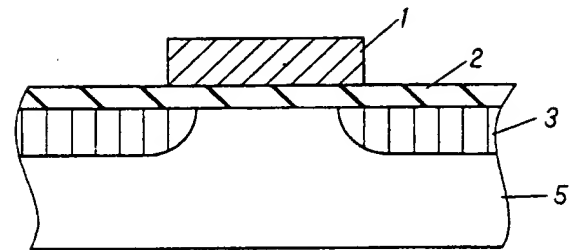


第 4 図



- 1 ... ゲート電極  
2 ... ゲート絶縁膜  
3 ... ソース・ドレイン領域拡散層  
5 ... シリコン基板

第 5 図



第 6 図

